

①

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-063089

(43)Date of publication of application : 12.03.1993

(51)Int.Cl.

H01L 21/82
G06F 15/60

(21)Application number : 03-221636

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 02.09.1991

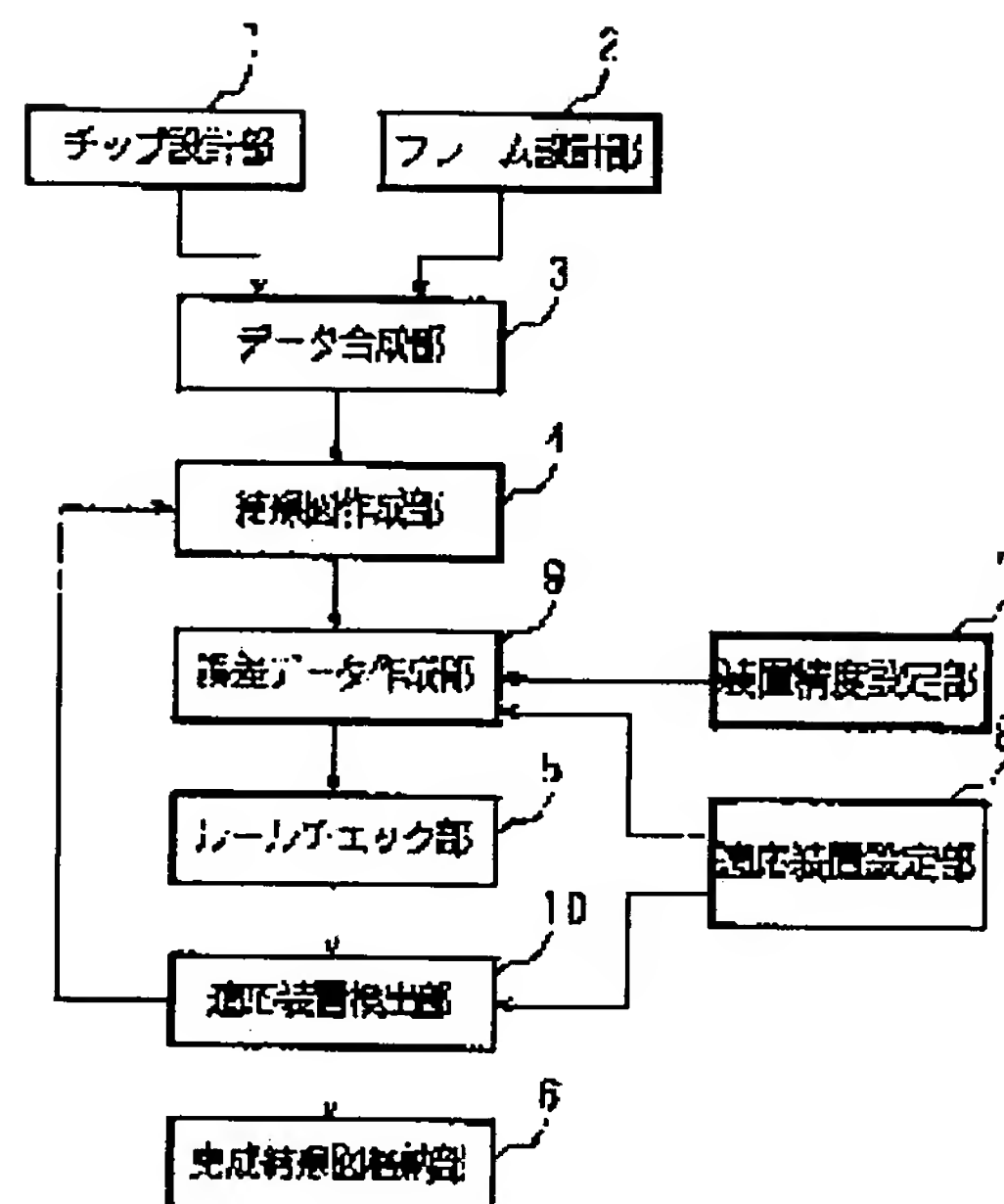
(72)Inventor : OCHI YOSHIKIMI

(54) LSI DESIGNING APPARATUS

(57)Abstract:

PURPOSE: To raise a designing efficiency by selecting a device having a wiring accuracy to avoid a disconnection, a contact between wirings even under wrong conditions in which an error occurs in the wiring by a wiring device in manufacturing steps and enhancing the quality of a designed wiring diagram between an IC chip and a frame.

CONSTITUTION: A wiring diagram forming unit 4 forms a wiring diagram in which chip drawing data and frame drawing data combined by a data mixer 3. An error data forming unit 9 reads a wiring accuracy of a wiring device, set to an adaptive device setter 8 as a device adapted for a wiring operation and forms wiring data when an error occurs in the wiring device. A rule checking unit 5 checks whether wiring data when the error occurs satisfies a wiring rule or not, and an adaptive device detector 10 detects the wiring device which has passed the check.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

類似技術

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-63089

(43) 公開日 平成5年(1993)3月12日

(51) Int. Cl.

識別記号

F I

H01L 21/82

G06F 15/60

370

P 7922-5L

9169-4M

H01L 21/82

P

審査請求 未請求 請求項の数1 (全4頁)

(21) 出願番号 特願平3-221636

(22) 出願日 平成3年(1991)9月2日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 越智 隆仁

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

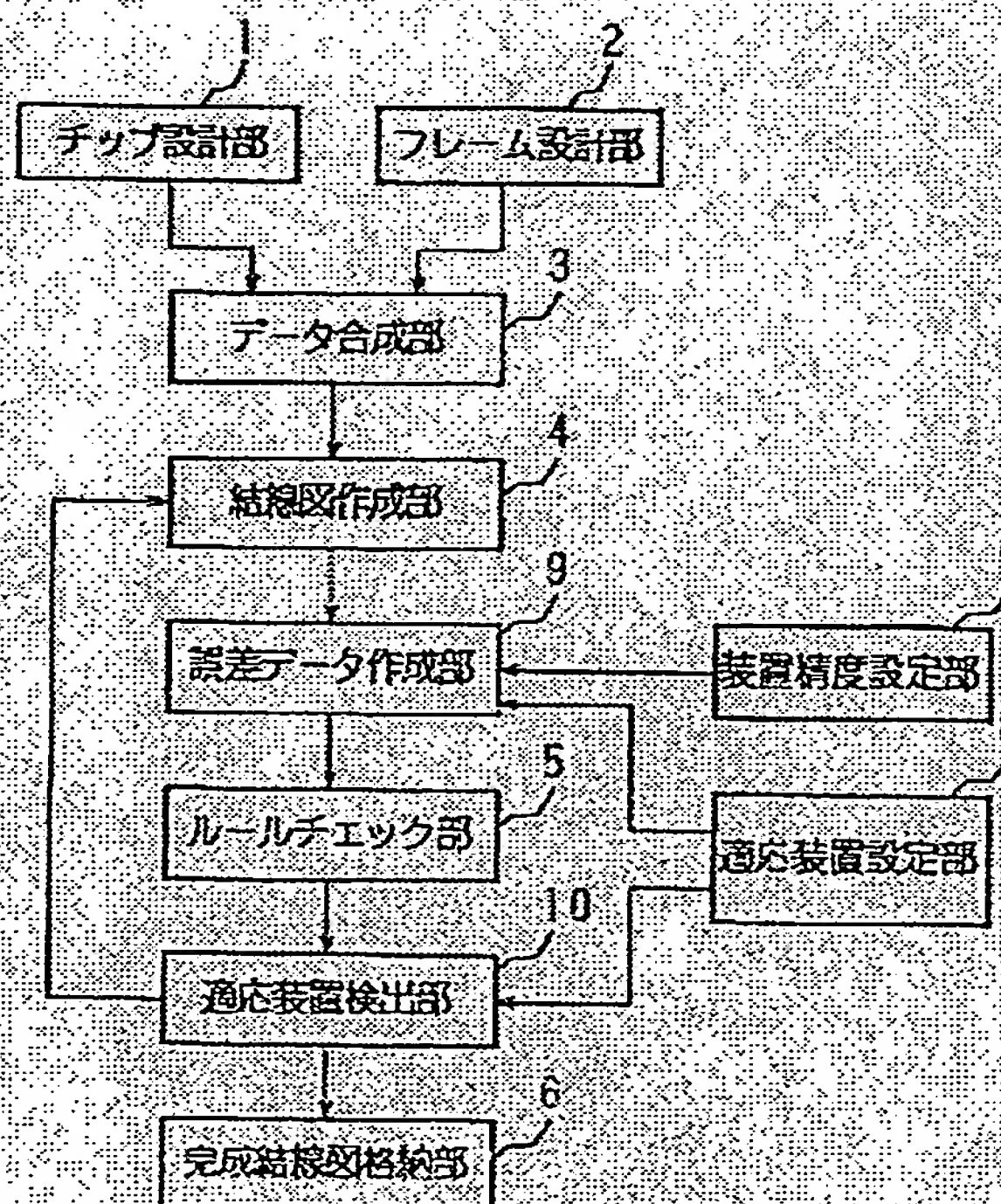
(74) 代理人 弁理士 高田 守 (外1名)

(54) 【発明の名称】 L S I 設計装置

(57) 【要約】

【目的】 製造工程における結線装置により結線に誤差が生じた悪条件下においても断線、線間接触を回避できる結線精度を有する装置を選定し、設計したICチップ・フレーム間結線図の品質を高めて設計効率を上げる。

【構成】 結線図作成部4は、データ合成部3により合成されたチップ図面データとフレーム図面データとの間を結線した結線図を作成する。誤差データ作成部9は、結線作業に適応可能な装置として適応装置設定部8に設定されている結線装置が有する結線精度を装置精度設定部7から読み込み、その結線装置により誤差が生じた場合の結線データを作成する。ルールチェック部5が誤差が生じた場合の結線データが結線ルールを満足するか否かをチェックし、適応装置検出部10がチェックに合格した結線装置を検出する。



BEST AVAILABLE COP

【特許請求の範囲】

【請求項1】 ICチップと該ICチップの外部端子であるフレームとの結線図を作成して該結線図が結線の許容位置を定めた結線ルールを満足するか否かを判定することにより、結線装置によるICチップ・フレーム間の結線工程に供給すべき、結線ルールを満足する結線図を作成するLSI設計装置において、結線工程に適用可能な結線装置の結線精度を設定する手段と、結線工程に適用可能な結線装置による結線に誤差が生じた場合の仮想結線図を設定された結線精度に基づいて作成する手段と、該手段により作成された仮想結線図が結線ルールを満足するか否かを判断する手段と、該手段の判断の結果結線ルールを満足する仮想結線図が作成された結線装置を検出する手段とを備えたことを特徴とするLSI設計装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ICチップの設計図とICチップの外部引出し用端子であるフレームの設計図とを合成してICチップ・フレーム間の結線図を作成するLSI設計装置に関する。

【0002】

【従来の技術】 図1は、ICチップ・フレーム間の結線図を作成する従来のLSI設計装置の構成を示すブロック図である。図中1はICチップのレイアウトを対話的に設計するICチップ設計部、また2はフレームを対話的に設計するフレーム設計部である。

【0003】 データ合成部3はチップ設計部1からチップ図面データを読み込んで、フレーム設計部2にて作成済みの複数のフレーム図面データの中から、読み込んだチップ図面データに最適のフレーム図面データを選択して読み込み、フレーム図面データ上の理想的な位置にチップ図面データを配した合成図面を作成する。

【0004】 図2は、データ合成部3にて合成された合成図面の一例を示す図である。図中11はチップ設計部1にて設計されたチップ図面であって、チップ図面上には外部引出し用の接続電極であるパッド11aが形成されている。チップ図面はフレーム設計部2にて設計されたフレーム図面の理想的な位置に配されている。

【0005】 結線図作成部4はデータ合成部3が作成した図2の如き合成図面のパッド11aとフレーム12とを自動的に又は対話的に結線して結線図を作成する。

【0006】 ルールチェック部5は、結線図作成部4にて作成された結線図が、製造工程における断線、線間接触を防止すべく結線位置の許容範囲を定めた結線ルールを満足するか否かをチェックし、結線ルールを満足しない場合は結線図作成部4にて結線図を修正して再度チェックを行う。

【0007】 結線ルールを満足した結線図は完成結線図格納部6に格納される。製造工程では、完成結線図格納

部6に格納されている結線図データに基づいて結線装置がICチップ・フレーム間を結線する。

【0008】

【発明が解決しようとする課題】 従来のLSI設計装置は以上のような構成であるので、製造工程に用いられる結線装置の結線精度は考慮に入れていない。従って、設計段階で結線ルールを満足するICチップ・フレーム間の結線であっても、実際の製造工程において使用する結線装置の結線精度によっては断線、線間接触等のために結線できなくなる可能性がある。

【0009】 本発明はこのような問題点を解決するためになされたものであって、LSIの製造工程における結線装置の結線精度によって結線誤差が生じた場合にも断線、線間接触等を生じずにICチップ・フレーム間を結線できるLSI設計装置の提供を目的とする。

【0010】

【課題を解決するための手段】 本発明に係るLSI設計装置は、実際の結線作業に使用する結線装置に結線誤差が生じた場合の結線図を仮に作成して結線ルールを満足するか否かをチェックし、結線誤差が生じた場合にも結線ルールを満足する結線装置を選定することを特徴とする。

【0011】

【作用】 本発明に係るLSI設計装置は、ICチップ・フレーム間の結線装置が有する結線精度を設定し、設定した結線精度に基づき結線工程にて結線誤差が生じた場合の結線図を作成し、この結線図が結線ルールを満足するか否かを判断し、結線ルールを満足する結線装置を結線工程に用いる装置として選定する。

【0012】

【実施例】 以下、本発明をその実施例を示す図に基づいて説明する。図3は本発明に係るLSI設計装置の構成を示すブロック図である。図中1はICチップのレイアウトを対話的に設計するICチップ設計部、また2はフレームを対話的に設計するフレーム設計部である。

【0013】 データ合成部3はチップ設計部1からチップ図面データを取り込んで、フレーム設計部2にて作成済みの複数のフレーム図面データの中から、取り込んだチップ図面データに最適のフレーム図面データを選択して取り込み、フレーム図面データ上の理想的な位置にチップ図面データを配した図2に示す如き合成図面を作成する。

【0014】 結線図作成部4はデータ合成部3が作成した図2の如き合成図面のパッド11aとフレーム12とを自動的に又は対話的に結線して結線図を作成する。

【0015】 装置精度設定部7は作成されたICチップ・フレーム間結線図に基づいて、結線工程に適用可能な結線装置群がそれぞれ有する結線精度を装置別に設定する。適応装置設定部8は製造工程に適用可能な結線装置群を設定する。

【0016】誤差データ作成部9は適応装置設定部8に設定してある結線装置それぞれの結線精度を装置精度設定部7から読み込み、結線図作成部4にて作成されたICチップ・フレーム間結線図に、結線装置の結線精度によって最大誤差が生じた悪条件時の結線データを追加した仮想結線図を作成する。

【0017】ルールチェック部5は、誤差データ作成部9にて作成された仮想結線図に含まれる結線図作成部4にて作成された結線データ及び悪条件時の結線データが、製造工程における断線、線間接触を防止すべく結線の許容位置を定めた結線ルールを満足するか否かをチェックする。

【0018】適応装置検出部10はルールチェック部5のチェック結果から適応装置設定部8に設定した装置の中で今回の結線作業に適応した装置を検出する。

【0019】以上のような構成のLSI設計装置の動作について説明する。データ合成部3はチップ設計部1からチップ図面データを読み込み、またフレーム設計部2から設計済みの複数のフレーム図面データのうち、チップ設計部1から読み込んだ図面データに最適のフレーム図面データを読み込み、このフレーム図面データの理想的なチップ位置にチップ図面データを配置した合成図面を作成する。結線図作成部4はこの合成図面上のICチップ・フレーム間を対話的又は自動的に結線し、ICチップ・フレーム間結線図を作成する。

【0020】誤差データ作成部9は、装置精度設定部7が予め設定している結線装置別の結線精度とICチップ・フレーム間結線図の結線データとに基づき、予め適応装置設定部8が設定している結線装置により最大の結線誤差が生じた悪条件時の仮の結線図データを自動作成して結線図作成部4が作成した結線図に追加する。

【0021】図4は仮の結線図データを追加した結線図の一部拡大図である。図中11はチップ設計部1より入力したチップ図面データであって、チップ図面上には外部引出し用の接続電極であるパッド11aが形成されている。チップ図面はフレーム設計部2にて設計されたフレーム図面の理想的な位置に配されている。

【0022】また、13はICチップとフレーム間の結線ルートを示す結線ワイヤ、14は装置精度設定部7に設定された結線精度より求まる誤差範囲、15は誤差データ作成部9で作成した最大の結線誤差発生時における悪条件結線データを示す。

【0023】ルールチェック部5は、この悪条件結線データ15及び結線図作成部4で作成した結線ワイヤ13が、

実際の結線工程において断線及び線間の接触を防止すべく結線位置の許容範囲を定めた結線ルールを満足するか否かをチェックする。

【0024】適応装置検出部10はルールチェック部5によるチェック結果より、適応装置設定部8に設定している結線装置が結線ルールを満足しているか否かをチェックし、結線ルールを満足している装置を適応可能な結線装置として検出する。

【0025】適応装置検出部10により適応可能な装置が検出できなかった場合、結線図作成部4で結線図を修正して前記処理を繰り返す。適応装置検出部10で適応可能な装置が検出できたICチップ・フレーム間結線図は完成結線図として完成結線図作成部6に格納される。

【0026】製造工程では、完成結線図格納部6に格納されている結線図データに基づいて、適応装置検出部10により検出された結線装置がICチップ・フレーム間を結線する。

【0027】

【発明の効果】以上のように、本発明に係るLSI設計装置は、製造工程の結線装置が有する結線精度を考慮した悪条件時の結線状態を予測して結線工程に適応する装置を選定するので、結線装置の結線精度に起因する断線、線間接触等が発生せず、設計品質が向上するとともに設計効率が向上するという優れた効果を奏する。

【図面の簡単な説明】

【図1】従来のLSI設計装置の構成を示すブロック図である。

【図2】ICチップのレイアウト図面とフレーム図面との合成図面を示す図である。

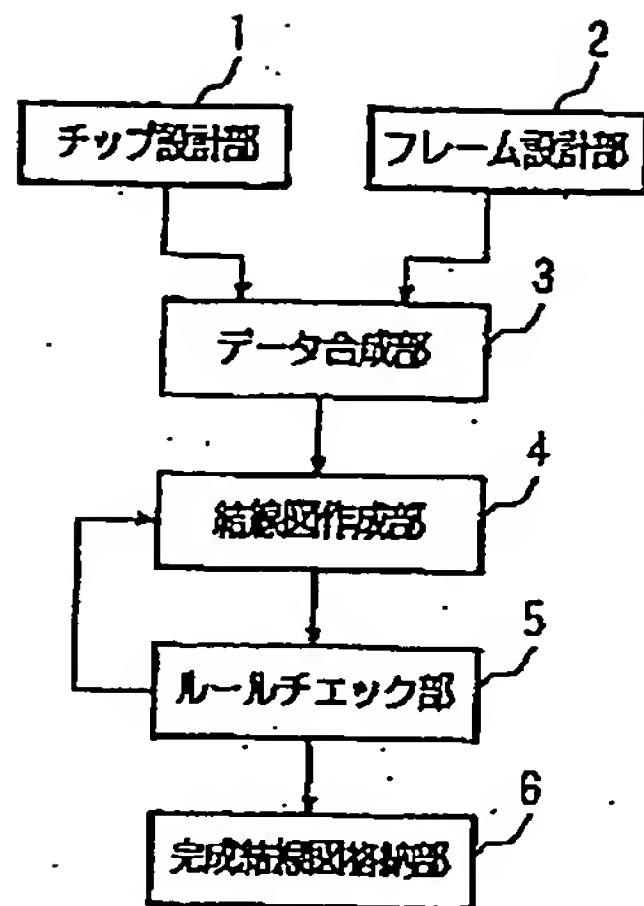
【図3】本発明に係るLSI設計装置の構成を示すブロック図である。

【図4】本発明に係るLSI設計装置において作成された結線図の一部拡大図である。

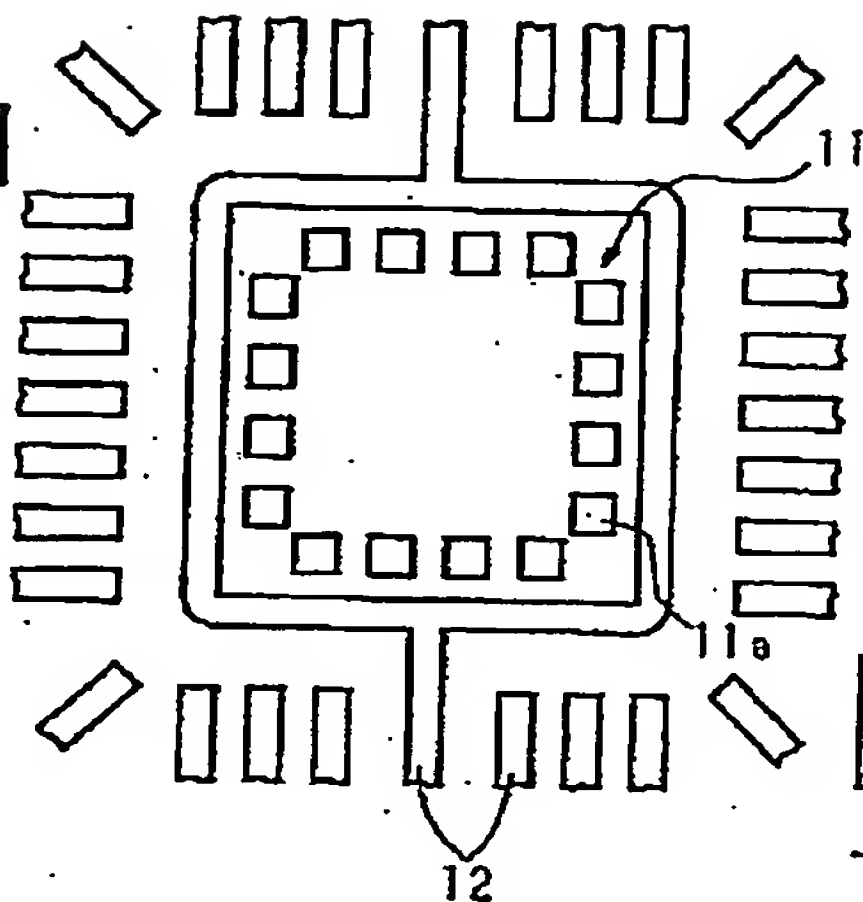
【符号の説明】

- 1 チップ設計部
- 2 フレーム設計部
- 3 データ合成部
- 4 結線図作成部
- 5 ルールチェック部
- 6 完成結線図格納部
- 7 装置精度設定部
- 8 適応装置設定部
- 9 誤差データ作成部
- 10 適応装置検出部

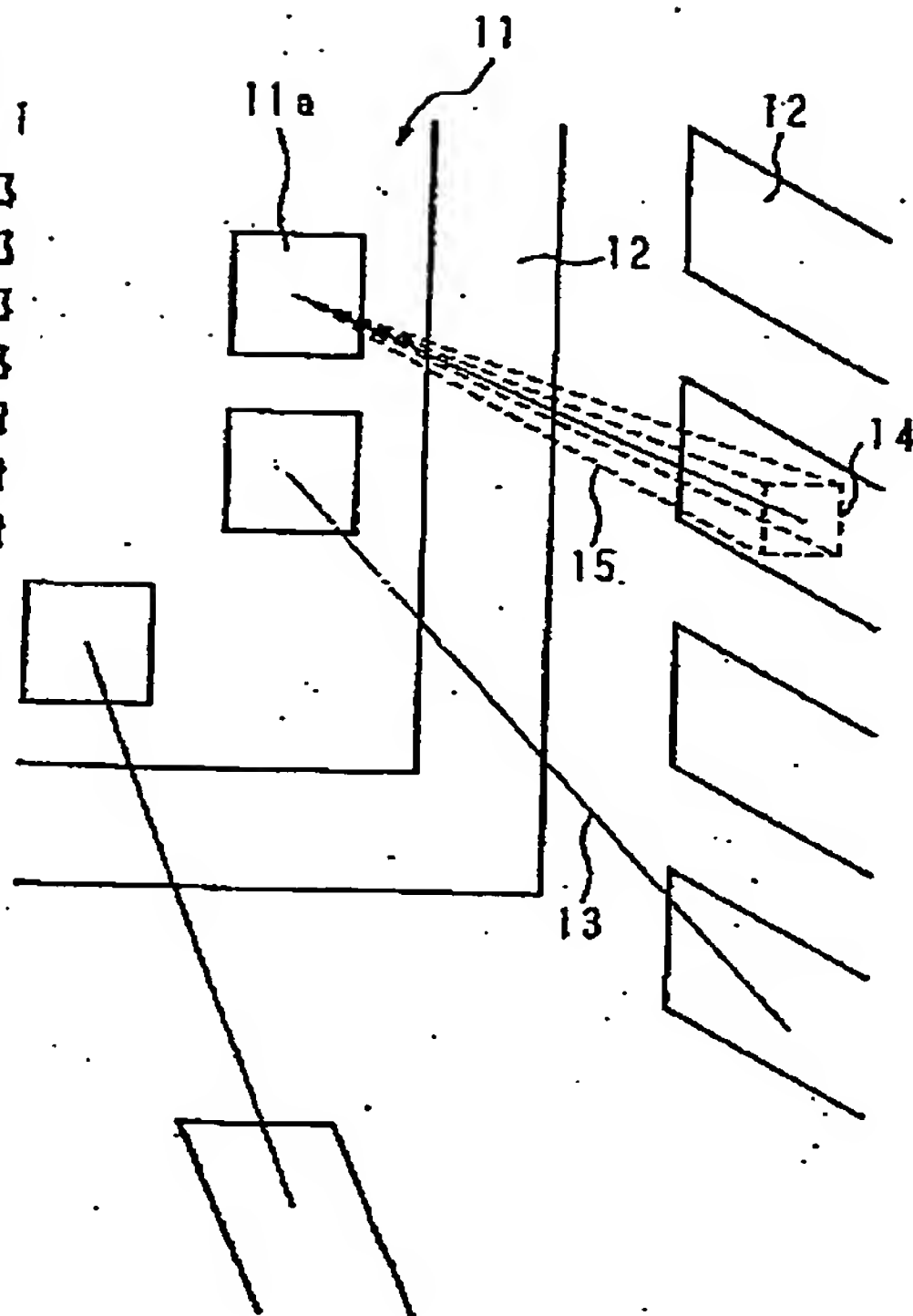
【図1】



【図2】



【図4】



【図3】

